

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11353470 A**

(43) Date of publication of application: **24.12.99**

(51) Int. Cl. **G06T 1/20**  
**G09G 5/00**  
**G09G 5/00**

(21) Application number: **10160211**

(22) Date of filing: **09.06.98**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **YAMAZAKI MASAMI**  
**TAKEDA HARUO**  
**KAWASE HIROSHI**

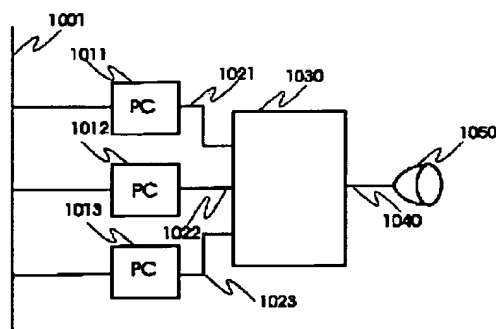
(54) **IMAGE DRAWING PARALLELIZING DEVICE AND  
PARALLELIZED IMAGE DRAWING SYSTEM**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To accelerate the image drawing speed in proportion to the number of parallel computers by integrating the partial images which are drawn by plural computers into a complete image.

**SOLUTION:** Three computers 1011, 1012 and 1013 are connected to each other in a mutual communication enable state via a communication network 101 and draw each assigned part of an image. These drawn image data are transferred to an image synthesizing device 1030 via the digital data transfer lines 1021, 1022 and 1023 and then integrated into a complete image by the device 1030. Then the complete image is converted into the RGB component picture signals and supplied to a display 1050 via a picture signal line 1040. Thus, the image drawing speed is improved in proportion to the number of parallel computers.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-353470

(43) 公開日 平成11年(1999)12月24日

(51) Int. Cl. <sup>a</sup>

G 0 6 T 1/20

G 0 9 G 5/00

識別記号

5 1 0

5 3 0

F I

G 0 6 F 15/66

G 0 9 G 5/00

K

5 1 0 X

5 3 0 M

審査請求 未請求 請求項の数 2

O L

(全 5 頁)

(21) 出願番号

特願平10-160211

(22) 出願日

平成10年(1998)6月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山崎 真見

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 武田 晴夫

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 河瀬 宏志

茨城県日立市大みか町五丁目2番1号 株式会社日立製作所大みか工場内

(74) 代理人 弁理士 小川 勝男

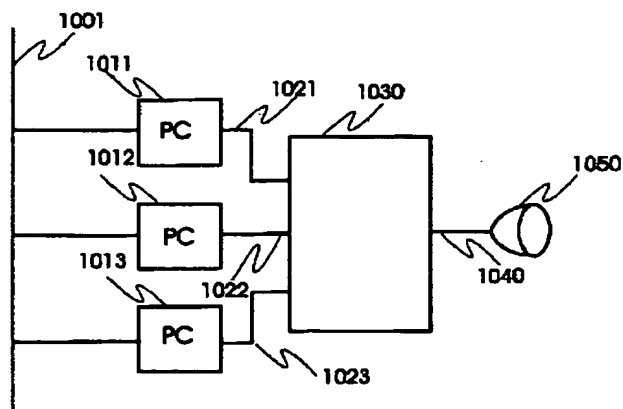
(54) 【発明の名称】 画像描画並列化装置及び並列化画像描画システム

(57) 【要約】

【課題】 コンピュータを用いた画像のリアルタイム描画処理の実行速度を、大幅に向上させること。

【解決手段】 画像データデジタル転送手段を通して複数台のそれぞれのコンピュータから出力されるデジタル画像データの各々を並列に受信可能な入力インターフェースを備え、複数台のそれぞれのコンピュータにより分担描画された部分画像を統合して一枚の完全な画像に再構成する手段を備える画像合成装置を設ける。

図 1



**【特許請求の範囲】**

【請求項1】複数の画像データを入力する手段と、映像信号を出力する手段を有し、各該入力手段から入力したデータを部分画像とする画像全体を復元し、その画像を該映像信号出力手段から映像信号として出力することを特徴とする画像描画並列化装置。

【請求項2】画像描画用のコンピュータシステムにおいて、描画する画面全体を複数の部分に分割して、各分割画面部分を、ネットワークで互いに接続された複数の画面描画用コンピュータが、一分割画面部分につき一台が担当して描画し、各分割画面部分の画像データを、画像合成装置へ転送し、各分割画面部分の画像データから、元の画面全体の画像を再構成し、映像信号として出力することを特徴とする並列化画像描画システム。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、コンピュータを用いた画像のリアルタイム描画処理の実行速度を向上させる装置および方法に関する。

**【0002】**

【従来の技術】コンピュータを用いた画像のリアルタイム描画処理の実行速度を向上させるためには、従来は、高速のCPUや、高速のディスクアクセス装置や、高速の専用バスや、画像描画処理専用のハードウェア(CGアクセラレータ)などを用意して実行速度の向上をはかって来た。

【0003】現在では、パーソナルコンピュータ(PC)をベースとして、標準化されている各部品(CPU、ディスク、CGアクセラレータ等)を高速型の部品に換装することで、総合的にかなりの高速化が達成できるようになった。

**【0004】**

【発明が解決しようとする課題】上記のような高速化された部品に換装する方法によるシステム性能高速化の手法では、各部品の高速度のトレンドを越えて、システムの画像描画性能を高速化することは出来ない。

【0005】さらに、ディスクなど速度向上が限界に近い部品や、標準化の制約のために頻繁に規格変更をして高速化できないバスアーキテクチャなどが、大幅な高速化のためにはネックとなっている。このように、部品の高速度に依存したシステム性能の高速化の方法では、描画速度を2倍、3倍と高速化することが困難である。

【0006】本発明の目的は、単一の画像を生成するために、画像描画用コンピュータを複数台並列に実行させ、並列台数に比例した描画速度の向上を達成させる装置とシステムを提供することにある。

**【0007】**

【課題を解決するための手段】上記目的を達成するために、本発明の画像描画並列化装置は、図1に示すように、通信ネットワークで互いに接続され、互いに実行タ

イミングの同期を取り合うことができる複数台のコンピュータと、該コンピュータにはそれぞれ、目的の画像のある一部分を描画することが出来る描画手段(画像描画アクセラレータなど)と、描画画像データをデジタル転送可能なデジタルデータ転送手段を設ける。

【0008】該画像データデジタル転送手段を通して複数台のそれぞれのコンピュータから出力されるデジタル画像データの各々を並列に受信可能な入力インターフェースを備え、複数台のそれぞれのコンピュータにより分担描画された部分画像を統合して一枚の完全な画像に再構成する手段を備える画像合成装置を設ける。

【0009】該画像合成装置は、部分画像を統合して再構成した一枚の完全な画像を、業界標準の映像信号へ変換し、業界標準仕様のディスプレイ装置などへ供給する。

【0010】このように、複数台のコンピュータが互いに実行タイミングの同期を取り合いながら、一枚の画像の特定部分をそれぞれ担当し描画すると、一台のコンピュータあたりの描画実行負荷は、部分画像の面積の全体画像の面積に対する比に比例して減少する。従って、各コンピュータが最大負荷で画像を描画した場合、コンピュータの台数に比例してシステムの画像描画性能が増加することになる。

**【0011】**

【発明の実施の形態】図1に、本発明の画像描画並列化装置のシステム構成を示す。本実施例では、3台のコンピュータ 1011, 1012, 1013が、通信ネットワーク 1001により相互に通信可能な状態に接続されている。コンピュータ 1011, 1012, 1013の各々は、画像の一部分を分担描画し、描画した画像データを、デジタルデータ転送線 1021, 1022, 1023を経由して、画像合成装置 1030へ転送する。転送された部分画像データは、画像合成装置 1030により完全な一枚の画像に統合再構成され、業界標準のRGBコンポーネント映像信号へ変換されて映像信号線 1040を経由してディスプレイ 1050へ供給される。

【0012】図2に、図1のコンピュータ 1011, 1012, 1013の内部構成ブロックを示す。画像の一部分を分担描画するコンピュータには、CPU 2001、メモリ 2002、ディスク制御装置 2003、CGアクセラレータ 2005、通信ネットワーク制御装置 2006、デジタルデータ通信制御装置 2007、タイマー 2008が互いにバス 2000を介して接続されている。

【0013】通信ネットワーク制御装置 2006を介して接続した外部の通信ネットワーク 2011を通して、互いに分担描画を担当している他のコンピュータと、描画タイミングの同期を取る。同期処理は、リアルタイム通信による同期確認処理と、他の並列に連動して動作しているコンピュータと同時刻を刻むように設定されたタイマ

ー 2008を用いる。

【0014】ディスク制御装置 2003に接続された ディスク 2004には、部分画像を分担描画するためのプログラムと、描画タイミングの同期処理のプログラムと、画像描画に必要なデータを格納する。CGアクセラレタ 2005に接続された ディスプレ 2009で、分担描画した画像をモニタする。CGアクセラレタ 2005内で生成された画像データは、バス 2000を介して、デジタルデータ通信制御装置 2007へも転送し、デジタルデータ通信線 2010を介して、画像合成装置へ転送する。デジタルデータ通信制御装置 2007は、業界標準仕様のSCSI インターフェースまたは、IEEE1394 仕様のデータ転送インターフェースなどを利用する。

【0015】図3 に、3台のコンピュータ 1011, 1012, 1013によりそれぞれ分担描画される部分画像を示す。描画される画像は、プログレッシブスキャンで上方より順次走査線 3001が並び、合計  $h1+h2+h3$  本の走査線で構成される。そのうち、コンピュータ 1011は、上方  $h1$  本の走査線で構成される部分画像のみを描画する。コンピュータ 1012は、コンピュータ 1011の分担部分画像に続く中央付近の  $h2$  本の走査線で構成される部分画像を描画する。コンピュータ 1013は、コンピュータ 1013の分担部分画像に続く下方の  $h3$  本の走査線で構成される部分画像を描画する。

【0016】このように、3台のコンピュータで分担描画された各画像データは、画像合成装置 1030により、図3 のように統合再構成されて完全な画像に復元される。

【0017】図4 に、画像合成装置の機能ブロックを示す。画像合成装置は、内部に3つの部分画像蓄積モジュール 4001, 4002, 4003を持つ。それぞれの部分画像蓄積モジュールには、画像データ入力ポート 4011, 4012, 4013を介して外部で同期して並列に動作しているコンピュータで描画処理された担当部分画像をそれぞれ一旦蓄積する。

【0018】部分画像蓄積モジュールは、デジタルデータ転送インターフェイス 4021を介してデータを入力し、入力されたデータは、データ解釈部 4022により解読され、書込みアドレス生成器 4024の初期化やバンク選択回路 4023の初期化を行い、転送データに含まれる画像データは、バンク選択回路 4023の状態に従って、読み出し書込み排他選択回路 4026により書込み制御信号を生成し、バッファメモリバンクA 4031又はバッファメモリバンクB 4032 のいずれか一方のみに、書き込まれる。書込みアドレスは、書込みアドレス生成器 4024により生成され、バンク選択回路 4023の状態に従ってアドレス分配器 4025により適当なバッファメモリバンクへ供給される。

【0019】データ解釈部 4022は、各部分画像蓄積モジュールで担当する部分画像領域の情報に基づいて アド

レス変換テーブル 4027の初期化をするとともに、読み出しアドレス生成器 4054の初期化も行う。3つの部分画像蓄積モジュールに蓄積された部分画像のデータは、読み出しアドレス生成器 4054が生成する画像全体に渡る画素位置のアドレスに従って読み出される。

【0020】部分画像蓄積モジュールに供給された読み出しアドレスは、アドレス変換テーブル 4027により、画像全体に振られた画素位置アドレスを担当部分画像内の対応画素アドレスに変換される。変換されたアドレスは、バンク選択回路 4023の状態に従ってアドレス分配器 4025により、書込みを行っていない方のバッファメモリバンクへ供給される。読み出されたデータは、出力データ選択器 4041により選択され、部分画像選択器 4051へ供給される。

【0021】部分画像選択器 4051は、現在の読み出しアドレスに対応する画素を格納している部分画像蓄積モジュールからの出力を選択し、D/A 変換器 4052へ供給する。水平垂直同期信号生成器 4053は、D/A 変換された映像色信号に、水平・垂直同期信号を付加し、標準のRGB コンポーネント映像信号を生成し、映像信号出力端子 4060 より出力する。

【0022】上記のようにして、画像合成装置は、分担描画された部分画像を統合再構成して、完全な画像の映像信号を作る。

【0023】図5 に、画像合成装置に転送されるデータのフォーマットを示す。転送データは、16ビット幅の、全体画像水平画素数フィールド 5001、全体画像走査線数フィールド 5002、部分画像水平画素数フィールド 5003、部分画像走査線数フィールド 5004が並び、続いて、8ビット幅の 画素データサイズフィールド 5005がくる。画素データサイズフィールド 5005の値を  $d$ 、部分画像水平画素数フィールド 5003の値を  $w$ 、部分画像走査線数フィールド 5004の値を  $h$  とすると、各  $d$  ビット幅の画素データが、第一画素データフィールド 5006から順次最終画素データフィールド 5007まで、 $w \times h$  個連なる。

#### 【0024】

【発明の効果】本発明によれば、画像を部分画像に分割し、各部分画像のみをネットワークで互いに接続した画像描画用コンピュータで描画処理するために、一台のコンピュータで画面全体を描画するのに比較して、分割した部分画像の面積に反比例して高速に描画できるという効果がある。さらに、分割数を増加し、各分割部分画像を描画するコンピュータの台数を増加させると、同一時間内に描画できる画面数を、台数に比例して増加させることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の実施例である画像描画並列化システムの構成図。

【図2】図1の部分画像描画用コンピュータ内部構成を

示すブロック図。

【図 3】図 1 の分担処理する部分画像を示す図。

【図 4】本発明の画像合成装置機能ブロックを示すブロック図。

【図 5】本発明の転送データフォーマットを示す図。

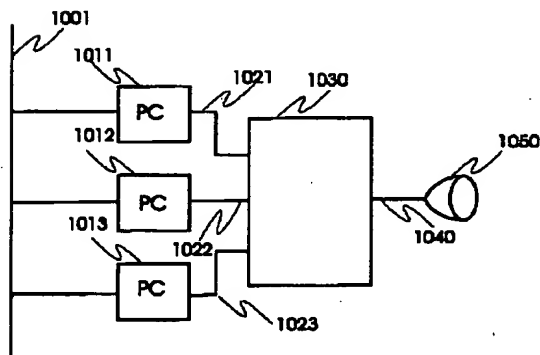
【符号の説明】

1011, 1012, 1013…部分画像描画用コンピュータ、1001…通信ネットワーク、1021, 1022, 1023…デジタルデータ転送線、1030…画像合成装置、1040…映像信号線、1050…ディスプレイ、2000…バス、

2001…CPU、2002…メモリ、2003…ディスク制御装置、2004…ディスク、2005…CGアクセラレタ、2009…ディスプレ、2006…通信ネットワーク制御装置、2011…通信ネットワーク、2007…デジタルデータ通信制御装置、2010…デジタルデータ通信線、2008…タイマー、3001…走査線、4001, 400

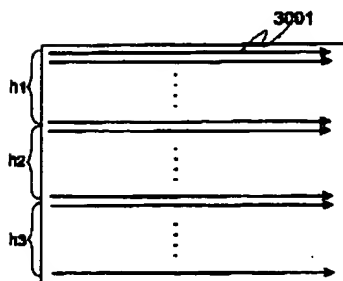
【図 1】

図 1



【図 3】

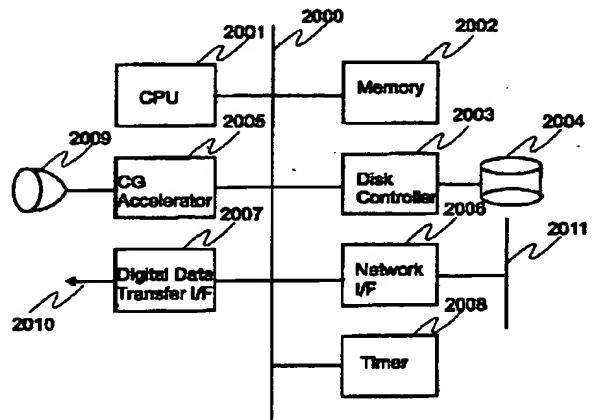
図 3



2, 4003…部分画像蓄積モジュール、4011, 4012, 4013…画像データ入力ポート、4021…デジタルデータ転送インターフェイス、4022…データ解釈部、4023…バンク選択回路、4024…書き込みアドレス生成器、4027…アドレス変換テーブル、4031…バッファメモリバンク A、4032…バッファメモリバンク B、4026…読み出し書き込み排他選択回路、4025…アドレス分配器、4041…出力データ選択器、4051…部分画像選択器、4054…読み出しアドレス生成器、4052…D/A 変換器、4053…水平垂直同期信号生成器、4060…映像信号出力端子、5001…全体画像水平画素数フィールド、5002…全体画像走査線数フィールド、5003…部分画像水平画素数フィールド、5004…部分画像走査線数フィールド、5005…画素データサイズフィールド、5006…第一画素データフィールド、5007…最終画素データフィールド。

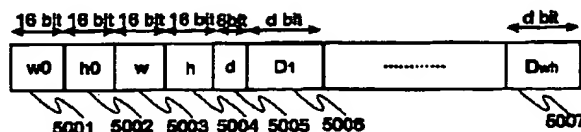
【図 2】

図 2



【図 5】

図 5



【 図 4 】

図 4

